

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037115

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 21/336

H01L 21/28

H01L 21/76

H01L 21/768

H01L 21/8234

H01L 27/08

H01L 27/088

H01L 29/78

(21)Application number : 2001-224546

(71)Applicant : NEC CORP

(22)Date of filing : 25.07.2001

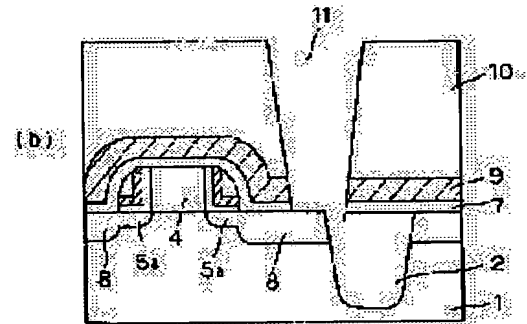
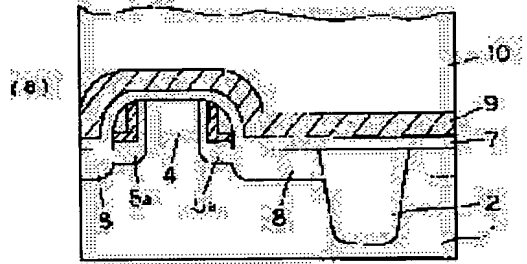
(72)Inventor : KUMAMOTO KEITA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of leakage current between a contact and a substrate in an element isolation region.

SOLUTION: A method for manufacturing a semiconductor device having trench structure element isolation regions on a semiconductor substrate comprises a process for forming a gate electrode in an element forming region adjacent to an element isolation region and forming a first impurity diffusion region for LDD regions, a process for sequentially forming a first insulation film and a second insulation film on the semiconductor substrate, a process for performing an etchback regarding the first insulation film as an etching stopper and forming a first side wall consisting of the second insulation film on the side face of the gate electrode through the first insulation film, a process for performing an etchback all over the surface and etching the first insulation film to form a second side wall consisting of the first insulation film on the side face of the gate electrode, a process for forming second impurity diffusion regions for source/drain region and sequentially forming an interlayer insulation film on the semiconductor substrate, and a process for forming contact holes reaching the second impurity diffusion region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2003-37115

(P2003-37115A)

(43)公開日 平成15年2月7日(2003.2.7)

(51) Int.Cl.7

識別記号

FI

テーマト* (参考)

H O 1 L 21/336

H01L 21/28

M 4M104

21/28

27/08

3 3 1 A 5 F 0 3 2

21/76

29/78

301Y 5F033

21/768

27/08

102D 5F048

21/8234

102C 5F140

審査請求 未請求 請求項の数23 OL (全 19 頁) 最終頁に続く

(21)出願番号

特圖2001-224546(P2001-224546)

(22) 出願日

平成13年7月25日(2001.7.25)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 熊本 景太

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

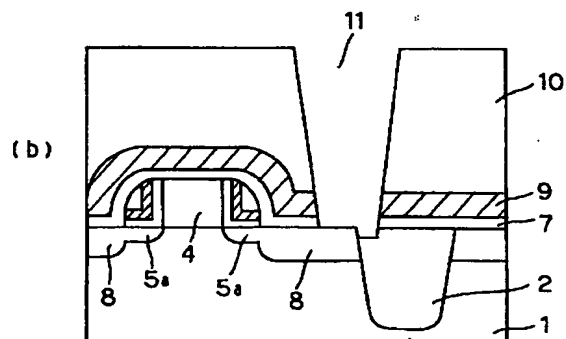
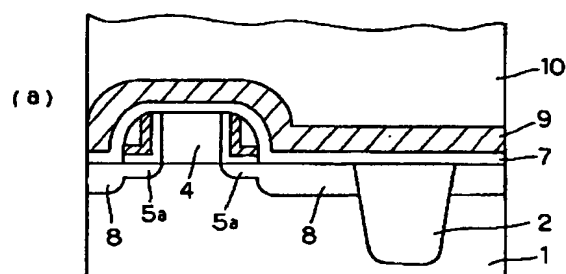
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 素子分離領域におけるコンタクトと基板間リークの発生を防止する。

【解決手段】 半導体基板にトレンチ分離構造の素子分離領域を持つ半導体装置の製造方法において、素子分離領域に隣接する素子形成領域にゲート電極を形成し、LDD領域用の第1不純物拡散領域を形成する工程と、半導体基板上に第1絶縁膜及び第2絶縁膜をこの順で形成する工程と、第1絶縁膜をエッチングストップとしてエッチバックを行い、ゲート電極の側面上に第1絶縁膜を介して第2絶縁膜からなる第1サイドウォールを形成する工程と、全面エッチバックを行い第1絶縁膜をエッチングして、ゲート電極の側面上に第1絶縁膜からなる第2サイドウォールを形成する工程と、ソース／ドレイン領域用の第2不純物拡散領域を形成した後、半導体基板上に層間絶縁膜を形成し、第2不純物拡散領域に達するコンタクトホールを形成する工程を実施する。



1

【特許請求の範囲】

【請求項 1】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、

前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にイオン注入を行って LDD 領域用の第 1 不純物拡散領域を形成する工程と、

前記ゲート電極を含む前記半導体基板の主面の全面に、第 1 絶縁膜及び第 2 絶縁膜をこの順で形成する工程と、前記第 1 絶縁膜をエッチングストップパとしてエッチバックを行い、前記ゲート電極の側面上に前記第 1 絶縁膜を介して前記第 2 絶縁膜からなる第 1 サイドウォールを形成する工程と、

全面エッチバックを行い前記第 1 絶縁膜をエッチングして、前記ゲート電極の側面上に前記第 1 絶縁膜からなる第 2 サイドウォールを形成する工程と、

前記ゲート電極ならびに前記第 1 および第 2 サイドウォールをマスクとしてイオン注入を行ってソース/ド레인領域用の第 2 不純物拡散領域を形成する工程と、

前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、

前記層間絶縁膜上面から前記第 2 不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法。

【請求項 2】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、

前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にイオン注入を行って LDD 領域用の第 1 不純物拡散領域を形成する工程と、

前記ゲート電極を含む前記半導体基板の主面の全面に、第 1 絶縁膜及び第 2 絶縁膜をこの順で形成する工程と、前記第 1 絶縁膜をエッチングストップパとしてエッチバックを行い、前記ゲート電極の側面上に前記第 1 絶縁膜を介して前記第 2 絶縁膜からなる第 1 サイドウォールを形成する工程と、

全面エッチバックを行い前記第 1 絶縁膜をエッチングして、前記ゲート電極の側面上に前記第 1 絶縁膜からなる第 2 サイドウォールを形成する工程と、

前記ゲート電極ならびに前記第 1 および第 2 サイドウォールをマスクとしてイオン注入を行ってソース/ド레인領域用の第 2 不純物拡散領域を形成する工程と、

前記半導体基板の主面の全面に第 3 絶縁膜を形成する工程と、

2

前記第 3 絶縁膜上に層間絶縁膜を形成する工程と、前記第 3 絶縁膜をエッチングストップパとして前記層間絶縁膜を選択的にエッチングして前記第 3 絶縁膜を露出させ、さらに前記第 3 絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第 2 不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法。

【請求項 3】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、

前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にイオン注入を行って LDD 領域用の第 1 不純物拡散領域を形成する工程と、

前記ゲート電極を含む前記半導体基板の主面の全面に、

第 1 絶縁膜及び第 2 絶縁膜をこの順で形成する工程と、

前記第 1 絶縁膜をエッチングストップパとしてエッチバックを行い、前記ゲート電極の側面上に前記第 1 絶縁膜を介して前記第 2 絶縁膜からなる第 1 サイドウォールを形成する工程と、

前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、

前記レジスト膜をマスクとして全面エッチバックを行い前記第 1 絶縁膜をエッチングして、前記ゲート電極の側面上に前記第 1 絶縁膜からなる第 2 サイドウォール、および前記素子分離領域を覆う前記第 1 絶縁膜からなるトレンチ分離カバーを形成する工程と、

前記ゲート電極ならびに前記第 1 および第 2 サイドウォールをマスクとしてイオン注入を行ってソース/ド레인領域用の第 2 不純物拡散領域を形成する工程と、

前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、

前記トレンチ分離カバーがエッチングストップパとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第 2 不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法。

【請求項 4】 前記第 2 絶縁膜は、前記埋込絶縁膜と被エッチング速度が実質的に同じ材料で形成する請求項 1、2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第 1 絶縁膜および第 3 絶縁膜がシリコン窒化膜からなる請求項 2 に記載の半導体装置の製造方法。

【請求項 6】 前記第 2 絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第 1 絶縁膜がシリコン窒化膜からなる請求項 1 又は 3 に記載の半導体装置の製造方法。

3

【請求項 7】 前記ゲート電極を含む前記半導体基板の主面の全面に下地絶縁膜を形成する工程を有し、前記下地絶縁膜を形成した後に前記第 1 絶縁膜を形成する請求項 1～6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記第 2 サイドウォールを形成するための全面エッチバックにおいて、前記第 1 絶縁膜とともに前記下地絶縁膜をエッチングして、前記ゲート電極上面および基板上面を露出させ、前記ゲート電極の側面上に前記下地絶縁膜からなる第 3 サイドウォールを形成する請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 2 不純物拡散領域の形成は、少なくとも前記素子形成領域にチャネリング防止膜を形成した後、前記ゲート電極ならびに前記第 1、第 2 および第 3 サイドウォールをマスクとして、前記チャネリング防止膜を介してイオン注入を行って第 2 不純物拡散領域を形成する請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 サイドウォールを形成するための全面エッチバックにおいて、前記下地絶縁膜が残るように前記第 1 絶縁膜をエッチングし、前記下地絶縁膜を介してイオン注入を行ってソース／ドレイン領域用の第 2 不純物拡散領域を形成する請求項 7 に記載の半導体装置の製造方法。

【請求項 11】 前記下地絶縁膜上にチャネリング防止膜を形成し、前記下地絶縁膜および前記チャネリング防止膜を介してイオン注入を行ってソース／ドレイン領域用の第 2 不純物拡散領域を形成する請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記第 1 不純物拡散領域を形成するためのイオン注入は、前記下地絶縁膜を形成した後であって前記第 2 絶縁膜を形成する前に行う請求項 7～11 のいずれか一項に記載の半導体装置の製造方法。

【請求項 13】 前記第 1 不純物拡散領域を形成するためのイオン注入は、前記第 1 絶縁膜を形成した後であって前記第 2 絶縁膜を形成する前に行う請求項 1～12 のいずれか一項に記載の半導体装置の製造方法。

【請求項 14】 前記コンタクトホールは、前記第 2 不純物拡散領域と前記素子分離領域とにまたがって形成される請求項 1～13 のいずれか一項に記載の半導体装置の製造方法。

【請求項 15】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行って LDD 領域用の第 1 不純物拡散領域を形成する工程と、前記半導体基板上に第 1 絶縁膜を形成する工程と、

4

全面エッチバックを行って前記ゲート電極の側面上に前記第 1 絶縁膜からなるサイドウォールを形成する工程と、

前記ゲート電極および前記サイドウォールをマスクとしてイオン注入を行ってソース／ドレイン領域用の第 2 不純物拡散領域を形成する工程と、

前記半導体基板の主面の全面に、第 2 絶縁膜を形成する工程と、

10 前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記第 2 絶縁膜をエッチングして、前記素子分離領域を覆う前記第 2 絶縁膜からなるトレンチ分離カバーを形成する工程と、

前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、

前記トレンチ分離カバーがエッチングストッパとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第 2 不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半

20 導体装置の製造方法。

【請求項 16】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、

前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にイオン注入を行って LDD 領域用の第 1 不純物拡散領域を形成する工程と、

30 前記半導体基板上に第 1 絶縁膜を形成する工程と、

前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記第 1 絶縁膜をエッチバックして、前記ゲート電極の側面上にサイドウォールを形成するとともに、前記素子分離領域を覆う前記第 1 絶縁膜からなるトレンチ分離カバーを形成する工程と、

前記ゲート電極および前記サイドウォールをマスクとしてイオン注入を行ってソース／ドレイン領域用の第 2 不純物拡散領域を形成する工程と、

40 前記半導体基板の主面の全面に第 2 絶縁膜を形成する工程と、

前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、

前記第 2 絶縁膜をエッチングストッパとして前記層間絶縁膜を選択的にエッチングして前記第 2 絶縁膜を露出させ、さらに前記第 2 絶縁膜および前記チャネリング防止膜を選択的にエッチングして、前記層間絶縁膜上面から前記第 2 不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法。

50 【請求項 17】 前記第 1 絶縁膜は、前記埋込絶縁膜と

被エッチング速度が実質的に同じ材料で形成する請求項15又は16に記載の半導体装置の製造方法。

【請求項18】 前記第1絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第2絶縁膜がシリコン窒化膜からなる請求項15、16又は17に記載の半導体装置の製造方法。

【請求項19】 少なくとも前記素子形成領域にチャネリング防止膜を形成する工程を有し、前記チャネリング防止膜を介してイオン注入を行って前記第2不純物領域を形成する請求項15～18のいずれか1項に記載の半導体装置の製造方法。

【請求項20】 前記コンタクトホールは、前記第2不純物拡散領域と前記素子分離領域とにまたがって形成される請求項15～19のいずれか一項に記載の半導体装置の製造方法。

【請求項21】 半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、

前記半導体基板の主面の全面に絶縁膜を形成する工程と、

前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記絶縁膜のエッチングを行って前記素子分離領域を覆う前記絶縁膜からなるトレンチ分離カバーを形成する工程と、

前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、

前記トレンチ分離カバーがエッチングストップとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法。

【請求項22】 前記埋込絶縁膜がシリコン酸化膜からなり、前記絶縁膜がシリコン窒化膜からなる請求項21に記載の半導体装置の製造方法。

【請求項23】 前記層間絶縁膜は、前記埋込絶縁膜と被エッチング速度が実質的に同じ材料で形成する請求項1～22のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレンチ分離構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、素子構造の微細化とともに素子分離構造に対しても微細化が求められている。そこで、従来のLOCOS法に代わり、より微細な素子分離構造の形成に適したトレンチ分離(Trench Isolation)法が提案されている。

【0003】 トレンチ分離法による素子分離構造の形成は次のようにして行われている。まず、半導体基板を素子間の隔離に必要な深さまでエッチングして凹部、すなわちトレンチ(trench)を形成し、次にこのトレンチを埋め込むようにシリコン酸化膜等の絶縁膜を形成した後、化学的機械的研磨(CMP)等により平坦化処理を行いトレンチ内以外の絶縁膜を除去して、トレンチ内に埋め込まれた絶縁膜(埋込絶縁膜)で構成される素子分離領域を形成している。

【0004】 従来、SRAM等の半導体記憶装置の製造において、このようなトレンチ分離構造が形成された半導体基板上には、次のようにしてトランジスタが形成されていた。

【0005】 図11～13に、LDD(Lightly Doped Drain)構造を有するMOSトランジスタの工程断面図を示す。

【0006】 まず、トレンチ分離構造の素子分離領域102が形成されたシリコン基板101上に、ゲート絶縁膜となる熱酸化膜(不図示)を形成した後、不純物導入多結晶シリコン層を形成し、この多結晶シリコン層をリソグラフィ技術とエッチング技術によりパターンニングしてゲート電極104を形成する(図11(a))。

【0007】 次に、ゲート電極104をマスクとして、低いドーズ量の不純物イオン注入を行って、基板とは反対導電型のLDD領域用の低濃度不純物領域105を形成する(図11(b))。

【0008】 続いて、ゲート電極104を覆うシリコン酸化膜106を形成し(図11(c))、このシリコン酸化膜106をエッチバックしてゲート電極104の側面に酸化シリコンからなるサイドウォール106aを形成する(図12(a))。このエッチバック(以下適宜「サイドウォールエッチバック」という。)は、シリコン酸化膜106を異方性エッチングしてゲート電極104及びシリコン基板101の上面が露出するように行われる。その際、基板表面上のシリコン酸化膜を完全に除去するために行うオーバーエッチングにより、素子分離領域102のトレンチ内のシリコン酸化膜からなる埋込絶縁膜がエッチングされ、結果、この埋込絶縁膜の上面が基板平面より低くなる。

【0009】 次に、後に行うソース/ドレイン領域形成用のイオン注入に際してチャネリングを防止するために、シリコン酸化膜からなるチャネリング防止膜107を形成する(図12(b))。続いて、このチャネリング防止膜107を介して高いドーズ量の不純物イオン注入を行って、ソース/ドレイン領域となる高濃度不純物領域108を形成する。その際、ゲート電極104とサイドウォール106aがマスクとして機能し、サイドウォール106a下の低濃度不純物領域105をLDD領域105aとするLDD構造が形成される。

【0010】 次に、シリコン窒化膜からなるエッチング

7

ストップパ膜109を形成した後、シリコン酸化膜等の層間絶縁膜110を形成する(図12(c))。

【0011】次いで、リソグラフィ技術とエッチング技術によりソース／ドレイン領域108に達するコンタクトホール111を形成する(図13(a))。その後、スパッタリング法を用いてこのコンタクトホール内にバリア金属膜を形成し、続いてCVD法によりW等の金属膜を埋め込んでコンタクトを形成する(不図示)。

【0012】

【発明が解決しようとする課題】近年の微細化・高集積化の要請から、素子分離領域とコンタクトとをより近接して配置し、かつ、短チャンネル効果抑制等のためソース／ドレイン領域の接合深さをより浅く形成する必要性がますます高くなってきた。

【0013】素子分離領域とコンタクトをより近接して配置しようとする、コンタクトホール形成工程において、目合わせズレ等によりコンタクトホール111が素子分離領域にかかるように形成されやすくなる。このとき、ソース／ドレイン領域の接合深さが浅く形成されていると、図13(b)に示すように、コンタクトと基板との間でリークが発生するという問題が生じる。

【0014】この問題は、ソース／ドレイン領域の接合深さをより浅く形成する設計において、図12(a)に示すように、サイドウォールエッチバックの際、オーバーエッチングによって素子分離領域102のトレンチ内の埋込絶縁膜上面が基板平面より低下することに起因している。通常、オーバーエッチングは、被エッチング膜の厚さ分のエッチングを行った後に、被エッチング膜の厚さの50%以上の同膜がエッチング可能なように行われ、被エッチング膜が厚いほど長くエッチングが行われることとなる。サイドウォール形成用のシリコン酸化膜106は100nm程度以上のかなりの厚さを有するため、サイドウォールエッチバックを長時間行うことになる。結果、素子分離領域の埋込絶縁膜上面は深い位置まで低下することとなる。さらに、ソース／ドレイン領域上にシリサイド膜を形成する場合は、その前処理である基板の酸化膜除去処理によって埋め込み絶縁膜上面がより一層深い位置まで低下する。

【0015】このように素子分離領域の埋込絶縁膜上面が基板平面より低下していると、このような素子分離領域102にかかるコンタクトホール111が形成される場合、エッチングストップパ膜109等のホール底の絶縁膜除去時のオーバーエッチングによってさらにトレンチ内の埋込絶縁膜がエッチングされ、ソース／ドレイン領域108の接合深さより低い(深い)位置まで彫り込まれてしまう。このソース／ドレイン領域108の接合深さより深く彫り込まれた部分112でコンタクトと基板間のリークが発生する。ソース／ドレイン領域の接合深さをより浅く形成しようとするほど、このリークは発生しやすくなる。

8

【0016】また、ドライエッチングによるサイドウォールエッチバック時のオーバーエッチ時間の長時間化は、上記リークの発生原因となることに加え、基板表面へのプラズマ衝突により結晶欠陥が形成しやすくなることから、欠陥性リークの発生等、素子特性低下の原因となり得る。

【0017】そこで本発明の目的は、前記の素子分離領域におけるコンタクトと基板間リークの発生が防止され、あるいはさらにドライエッチングによる基板表面へのプラズマダメージが抑えられ、前記の欠陥性リークの発生が防止された良好な素子特性を有する半導体装置を歩留まり良く製造可能な方法を提供することにある。

【0018】

【課題を解決するための手段】第1の発明は、半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行ってLDD領域用の第1不純物拡散領域を形成する工程と、前記ゲート電極を含む前記半導体基板の主面の全面に、第1絶縁膜及び第2絶縁膜をこの順で形成する工程と、前記第1絶縁膜をエッチングストップパとしてエッチバックを行い、前記ゲート電極の側面上に前記第1絶縁膜を介して前記第2絶縁膜からなる第1サイドウォールを形成する工程と、全面エッチバックを行い前記第1絶縁膜をエッチングして、前記ゲート電極の側面上に前記第1絶縁膜からなる第2サイドウォールを形成する工程と、前記ゲート電極ならびに前記第1および第2サイドウォールをマスクとしてイオン注入を行ってソース／ドレイン領域用の第2不純物拡散領域を形成する工程と、前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

【0019】第2の発明は、半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行ってLDD領域用の第1不純物拡散領域を形成する工程と、前記ゲート電極を含む前記半導体基板の主面の全面に、第1絶縁膜及び第2絶縁膜をこの順で形成する工程と、前記第1絶縁膜をエッチングストップパとしてエッチバックを行い、前記ゲート電極の側面上に前記第1絶縁膜を介して前記第2絶縁膜からなる第1サイドウォールを形成する工程と、全面エッチバックを行い前記第1絶縁膜をエッチングして、前記ゲート電

9

極の側面上に前記第1絶縁膜からなる第2サイドウォールを形成する工程と、前記ゲート電極ならびに前記第1および第2サイドウォールをマスクとしてイオン注入を行ってソース／ドレイン領域用の第2不純物拡散領域を形成する工程と、前記半導体基板の主面の全面に第3絶縁膜を形成する工程と、前記第3絶縁膜上に層間絶縁膜を形成する工程と、前記第3絶縁膜をエッチングストップとして前記層間絶縁膜を選択的にエッチングして前記第3絶縁膜を露出させ、さらに前記第3絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

【0020】第3の発明は、半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行ってLDD領域用の第1不純物拡散領域を形成する工程と、前記ゲート電極を含む前記半導体基板の主面の全面に、第1絶縁膜及び第2絶縁膜をこの順で形成する工程と、前記第1絶縁膜をエッチングストップとしてエッチバックを行い、前記ゲート電極の側面上に前記第1絶縁膜を介して前記第2絶縁膜からなる第1サイドウォールを形成する工程と、前記素子分離領域を覆うようにパターニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして全面エッチバックを行い前記第1絶縁膜をエッチングして、前記ゲート電極の側面上に前記第1絶縁膜からなる第2サイドウォール、および前記素子分離領域を覆う前記第1絶縁膜からなるトレンチ分離カバーを形成する工程と、前記ゲート電極ならびに前記第1および第2サイドウォールをマスクとしてイオン注入を行ってソース／ドレイン領域用の第2不純物拡散領域を形成する工程と、前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、前記トレンチ分離カバーがエッチングストップとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

【0021】第4の発明は、前記第2絶縁膜は、前記埋込絶縁膜と被エッチング速度が実質的に同じ材料で形成する第1、第2又は第3の発明の半導体装置の製造方法に関する。

【0022】第5の発明は、前記第2絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第1絶縁膜および第3絶縁膜がシリコン窒化膜からなる第2の発明の半導体装置の製造方法に関する。

【0023】第6の発明は、前記第2絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第1絶縁膜

10

がシリコン窒化膜からなる第1又は第3の発明の半導体装置の製造方法に関する。

【0024】第7の発明は、前記ゲート電極を含む前記半導体基板の主面の全面に下地絶縁膜を形成する工程を有し、前記下地絶縁膜を形成した後に前記第1絶縁膜を形成する第1～第6のいずれかの発明の半導体装置の製造方法に関する。

【0025】第8の発明は、前記第2サイドウォールを形成するための全面エッチバックにおいて、前記第1絶縁膜とともに前記下地絶縁膜をエッチングして、前記ゲート電極上面および基板上面を露出させ、前記ゲート電極の側面上に前記下地絶縁膜からなる第3サイドウォールを形成する第7の発明の半導体装置の製造方法に関する。

【0026】第9の発明は、前記第2不純物拡散領域の形成は、少なくとも前記素子形成領域にチャネリング防止膜を形成した後、前記ゲート電極ならびに前記第1、第2および第3サイドウォールをマスクとして、前記チャネリング防止膜を介してイオン注入を行って第2不純物拡散領域を形成する第8の発明の半導体装置の製造方法に関する。

【0027】第10の発明は、前記第2サイドウォールを形成するための全面エッチバックにおいて、前記下地絶縁膜が残るように前記第1絶縁膜をエッチングし、前記下地絶縁膜を介してイオン注入を行ってソース／ドレイン領域用の第2不純物拡散領域を形成する第7の発明の半導体装置の製造方法に関する。

【0028】第11の発明は、前記下地絶縁膜上にチャネリング防止膜を形成し、前記下地絶縁膜および前記チャネリング防止膜を介してイオン注入を行ってソース／ドレイン領域用の第2不純物拡散領域を形成する第10の発明の半導体装置の製造方法に関する。

【0029】第12の発明は、前記第1不純物拡散領域を形成するためのイオン注入は、前記下地絶縁膜を形成した後であって前記第2絶縁膜を形成する前に行う第7～第11のいずれかの発明の半導体装置の製造方法に関する。

【0030】第13の発明は、前記第1不純物拡散領域を形成するためのイオン注入は、前記第1絶縁膜を形成した後であって前記第2絶縁膜を形成する前に行う第1～第12のいずれかの発明の半導体装置の製造方法に関する。

【0031】第14の発明は、前記コンタクトホールは、前記第2不純物拡散領域と前記素子分離領域とにまたがって形成される第1～第13のいずれかの発明の半導体装置の製造方法に関する。

【0032】第15の発明は、半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子

11

分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行ってLDD領域用の第1不純物拡散領域を形成する工程と、前記半導体基板上に第1絶縁膜を形成する工程と、全面エッチバックを行って前記ゲート電極の側面上に前記第1絶縁膜からなるサイドウォールを形成する工程と、前記ゲート電極および前記サイドウォールをマスクとしてイオン注入を行ってソース/ドレイン領域用の第2不純物拡散領域を形成する工程と、前記半導体基板の主面の全面に、第2絶縁膜を形成する工程と、前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記第2絶縁膜をエッチングして、前記素子分離領域を覆う前記第2絶縁膜からなるトレンチ分離カバーを形成する工程と、前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、前記トレンチ分離カバーがエッチングストップとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

【0033】第16の発明は、半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板上の前記素子分離領域に隣接する素子形成領域にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にイオン注入を行ってLDD領域用の第1不純物拡散領域を形成する工程と、前記半導体基板上に第1絶縁膜を形成する工程と、前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記第1絶縁膜をエッチバックして、前記ゲート電極の側面上にサイドウォールを形成するとともに、前記素子分離領域を覆う前記第1絶縁膜からなるトレンチ分離カバーを形成する工程と、前記ゲート電極および前記サイドウォールをマスクとしてイオン注入を行ってソース/ドレイン領域用の第2不純物拡散領域を形成する工程と、前記半導体基板の主面の全面に第2絶縁膜を形成する工程と、前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、前記第2絶縁膜をエッチングストップとして前記層間絶縁膜を選択的にエッチングして前記第2絶縁膜を露出させ、さらに前記第2絶縁膜および前記チャネリング防止膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

【0034】第17の発明は、前記第1絶縁膜は、前記埋込絶縁膜と被エッチング速度が実質的に同じ材料で形成する第15又は第16の発明の半導体装置の製造方法に関する。

12

【0035】第18の発明は、前記第1絶縁膜および前記埋込絶縁膜がシリコン酸化膜からなり、前記第2絶縁膜がシリコン窒化膜からなる第15、第16又は第17の発明の半導体装置の製造方法に関する。

【0036】第19の発明は、少なくとも前記素子形成領域にチャネリング防止膜を形成する工程を有し、前記チャネリング防止膜を介してイオン注入を行って前記第2不純物領域を形成する第15～第18のいずれかの発明の半導体装置の製造方法に関する。

10 【0037】第20の発明は、前記コンタクトホールは、前記第2不純物拡散領域と前記素子分離領域とにまたがって形成される第15～第19のいずれかの発明の半導体装置の製造方法に関する。

【0038】第21の発明は半導体基板に形成されたトレンチと前記トレンチ内に埋め込まれた埋込絶縁膜を有するトレンチ分離構造の素子分離領域を備えた半導体装置の製造方法であって、前記半導体基板の主面の全面に絶縁膜を形成する工程と、前記素子分離領域を覆うようにパターンニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記絶縁膜のエッチングを行って前記素子分離領域を覆う前記絶縁膜からなるトレンチ分離カバーを形成する工程と、前記半導体基板の主面の全面に層間絶縁膜を形成する工程と、前記トレンチ分離カバーがエッチングストップとして機能する条件で前記層間絶縁膜を選択的にエッチングして、前記層間絶縁膜上面から前記第2不純物拡散領域に達するコンタクトホールを形成する工程と、を有する半導体装置の製造方法に関する。

30 【0039】第22の発明は、前記埋込絶縁膜がシリコン酸化膜からなり、前記絶縁膜がシリコン窒化膜からなる第21の発明の半導体装置の製造方法に関する。

【0040】第23の発明は、前記層間絶縁膜は、前記埋込絶縁膜と被エッチング速度が実質的に同じ材料で形成する第1～第22のいずれかの発明の半導体装置の製造方法に関する。

40 【0041】本発明によれば、素子分離領域にまたがるコンタクトホールが形成された場合であってもトレンチ内の埋込絶縁膜の減り（埋込絶縁膜上面の低下）が防止あるいは抑制されるため、コンタクトと基板との間のリークを防止することができる。その結果、素子特性が改善された半導体装置を歩留まり良く製造できる。

【0042】第1～第3の発明によれば、第1サイドウォールの形成工程の前に素子分離領域を含む基板全面にストップ膜を形成しているため、第1サイドウォールの形成工程のエッチバックにより、素子分離領域の埋込絶縁膜がエッチングされることがない。そのため、後に基板全面に形成した層間絶縁膜に、素子分離領域にまたがるようにコンタクトホールが形成された場合であっても、最終的な埋込絶縁膜の減りを抑えることができる。また、そのストップ膜は、第1サイドウォール形成工程

50

13

のエッチバックにおいてストップ膜として機能し、基板表面を保護することができるため、エッチバックによる基板表面のプラズマダメージを防止でき、欠陥性リークの発生を抑えることができる。

【0043】第3、第15及び第21の発明によれば、層間絶縁膜の形成前に素子分離領域を覆うトレンチ分離カバーを設けるため、素子分離領域にまたがるように層間絶縁膜にコンタクトホールが形成された場合であっても、このトレンチ分離カバーがストップ膜として機能して素子分離領域が保護され、埋込絶縁膜の減りを防止することができる。

【0044】第16の発明によれば、サイドウォールの形成工程のエッチバック前に素子分離領域を覆うトレンチ分離カバーを形成するため、素子分離領域にまたがるように層間絶縁膜にコンタクトホールが形成された場合であっても、このトレンチ分離カバーにより素子分離領域が保護され、埋込絶縁膜の減りを防止することができる。また、このトレンチ分離カバーは、サイドウォール形成用の絶縁膜で形成するため、別途に成膜工程を付加する必要がなく、簡便に形成することができる。

【0045】

【発明の実施の形態】以下、本発明の好適な実施の形態について説明する。

【0046】第1の実施の形態

本発明の第1の実施の形態を図面を用いて説明する。図1～3は、LDD構造を有するMOSトランジスタの製造工程断面図を示す。

【0047】まず、半導体基板1の所定の領域に、通常の方法でトレンチ内に埋め込まれたシリコン酸化膜（埋込酸化膜）で構成される素子分離領域（トレンチ分離領域）2を形成する。

【0048】このシリコン基板1上に、ゲート絶縁膜となる厚さ2～15nm程度の熱酸化膜（不図示）を形成した後、厚さ100～200nm程度の不純物導入多結晶シリコン層を形成し、この多結晶シリコン層をリソグラフィ技術とエッチング技術によりパターンニングしてゲート電極4を形成する（図1（a））。なお、不純物導入多結晶シリコン膜上にWシリサイド膜等のシリサイド膜、及びシリコン酸化膜等の絶縁膜を形成した後にパターンニングを行って、ゲート電極上にシリサイド膜およびキャップ絶縁膜を設けてもよい。

【0049】次に、ゲート電極4をマスクとして、5～50keV、 $1 \times 10^{12} \sim 5 \times 10^{14} / \text{cm}^2$ 程度の比較的低いドーズ量の不純物イオン注入を行って、基板とは反対導電型のLDD領域用の低濃度不純物領域5を形成する（図2（b））。その際、p型不純物としてはホウ素（B）やBF₂、n型不純物としてはリン（P）やヒ素（As）を用いることができる。なお、低濃度不純物領域5は、後に形成するシリコン酸化膜21を形成した後、このシリコン酸化膜21を介してイオン注入を行

14

って形成してもよく、また、後に形成するシリコン窒化膜22を形成した後、このシリコン窒化膜22とシリコン酸化膜21を介してイオン注入を行って形成することもできる。

【0050】次に、ゲート電極4を覆うように基板の上面全体にCVD法により厚さ5～10nm程度のシリコン酸化膜21を形成し、この上に厚さ5～10nm程度のシリコン窒化膜22を積層する。続いて、基板全面にCVD法により厚さ50～200nm程度のシリコン酸化膜6を形成する（図1（c））。例えば、シリコン酸化膜21、シリコン窒化膜22及びシリコン酸化膜6の厚さは、それぞれ10nm、10nm、100nmに設定することができる。

【0051】次に、このシリコン酸化膜6を、シリコン窒化膜22をエッチングストップとして異方性エッチングによりエッチバックしてゲート電極側面にシリコン酸化膜21a及びシリコン窒化膜22aを介してサイドウォール6aを形成する（図2（a））。続いて、サイドウォール6aをマスクとしてウェットエッチング或いはドライエッチングを行ってシリコン窒化膜22及びシリコン酸化膜21を除去し、ゲート電極4及びシリコン基板の上面を露出させる。結果、ゲート電極4の側面にシリコン酸化膜21a、シリコン窒化膜22a、シリコン酸化膜6aがこの順で積層された積層膜からなるサイドウォール6bが形成される（図2（b））。このとき、シリコン窒化膜22及びシリコン酸化膜21は薄いため、従来技術のように厚い酸化膜を一度にエッチバックしてサイドウォールを形成する場合に比べてオーバーエッチ量を小さくでき、そのため、素子分離領域2のトレンチ内の埋込酸化膜の減り（埋込酸化膜上面の低下）を抑えることができる。また、このようにオーバーエッチ量が小さいと、ドライエッチングのプラズマ雰囲気さらされる時間が短いため、基板表面のプラズマダメージを低減することができる。

【0052】なお、シリコン酸化膜21は、窒化膜を基板上に直接形成した際に生じ得る界面準位を防止する目的で下地絶縁膜として設けているが、ゲートエッチング後にゲート酸化膜が基板表面に残存する場合、若しくは、基板との間に界面準位を作らず且つシリコン酸化膜6のエッチバック時にエッチングストップとして働く絶縁物をシリコン窒化膜22の代わりに形成する場合は、シリコン酸化膜21は設けなくてもよい。

【0053】また、シリコン窒化膜22をエッチング除去する際、シリコン酸化膜21は残してもよい。この場合、残したシリコン酸化膜21が十分な厚さを持つときは後述のソース／ドレイン領域形成用のイオン注入に用いるチャネリング防止膜とすることができる。あるいは、シリコン窒化膜22除去後のシリコン酸化膜21上に別途にシリコン酸化膜等の絶縁膜を積層し、この積層膜をチャネリング防止膜とすることもできる。シリコン

15

酸化膜21を残すことにより、基板表面がドライエッチングのプラズマ雰囲気にならされないため、基板表面にプラズマダメージを受けることがない。

【0054】次に、後に行うソース／ドレイン領域形成用のイオン注入に際してチャネリングを防止するために、シリコン酸化膜等からなる厚さ5～30nm程度のチャネリング防止膜7を形成する。なお、このチャネリング防止膜7は、他のチャネリング防止手段を採ることができる場合は設けなくともよい。続いて、このチャネリング防止膜7を介して、5～60keV、 5×10^{14} ～ $7 \times 10^{15}/\text{cm}^2$ 程度の比較的高いドーズ量の不純物イオン注入を行って、ソース／ドレイン領域となる高濃度不純物領域8を形成する(図2(c))。その際、ゲート電極4とサイドウォール6aがマスクとして機能し、サイドウォール6a下の低濃度不純物領域5をLDD領域5aとするLDD構造が形成される。このとき、p型不純物としてはホウ素(B)やBF₂、n型不純物としてはリン(P)やヒ素(As)を用いることができる。高濃度不純物領域の形成後、800～1000℃程度の熱処理により不純物の活性化を行う。最終的に形成されるソース／ドレイン領域の接合深さは0.1～0.2μm程度に設定される。

【0055】ソース／ドレイン領域(高濃度不純物領域)8およびゲート電極4上にはシリサイド膜を設けてもよく、例えば次のようにして形成することができる。

【0056】まず、チャネリング防止膜7を除去して基板およびゲート電極の上面を露出させるためウェットエッチングを行う。その際、素子分離領域2の埋込酸化膜の上部もエッチングされることとなるが、チャネリング防止膜7は薄いいためその影響は少ない。

【0057】その後、この基板上にスパッタリング法でCo等の金属膜を形成する。次いで、600～800℃程度で熱処理を行い、金属膜とゲート電極の多結晶シリコン、及びソース／ドレイン領域のシリコンとの間でシリサイド化反応を生じさせ素子分離領域やサイドウォール上等の未反応金属膜はエッチング除去する。その結果、自己整合的にシリサイド膜がゲート電極上、及びソース／ドレイン上に形成される。なお、ゲート電極上にキャップ絶縁膜が設けられている場合は、ゲート電極上にはシリサイド膜は形成されない。

【0058】次に、基板の上面全体にシリコン窒化膜からなる厚さ10～100nm程度のエッチングストップ膜9を形成した後、続いてシリコン酸化膜等の厚さ300～1000nm程度の層間絶縁膜10を形成する(図3(a))。

【0059】次に、リソグラフィ技術と異方性エッチングによりソース／ドレイン領域(高濃度不純物領域)8に達するコンタクトホール11を形成する(図3

(b))。その際、ストップ膜9で一旦エッチングを止め、次いでストップ膜9とチャネリング防止膜7をエッ

16

チング除去する。その後、CVD法又はスパッタリング法を用いてこのコンタクトホール11内にバリア金属膜を形成し、続いてCVD法によりW等の金属膜を埋め込んでコンタクトを形成する(不図示)。

【0060】上述の方法によれば、サイドウォール形成工程において、素子分離領域2のトレンチ内の埋込酸化膜の減り(埋込酸化膜上面の低下)が抑えられているため(図2(a)、(b))、素子分離領域2にかかるコンタクトホールが形成された場合、エッチングストップ膜9等のホール底の絶縁膜除去時のオーバーエッチングによってトレンチ内の埋込酸化膜が深く彫り込まれることがなく、コンタクトと基板間のリークを防止することができる。

【0061】第2の実施の形態

図4～5に、本発明の第2の実施の形態の製造工程断面図を示す。なお、図4(a)は図2(a)と同じ図である。

【0062】まず、第1の実施の形態の図1(a)～図2(a)に示す工程と同様にして図4(a)に示す構造を形成する。

【0063】その後、リソグラフィ技術により、素子分離領域2(すなわち、トレンチ内の埋込酸化膜領域)上の領域を覆うようにパターニングされたレジスト膜31をシリコン窒化膜22上に形成する(図4(b))。レジスト膜31を形成するためのパターニングに際しては、素子分離領域のトレンチ形成の際に用いたマスクのパターンと同形状のパターンを持つマスクを用いて容易に形成することができる。

【0064】続いて、サイドウォール6aをマスクとしてドライエッチングによってシリコン窒化膜22及びシリコン酸化膜21をエッチング除去し、ゲート電極4及びシリコン基板の上面を露出させる。結果、ゲート電極4の側面にシリコン酸化膜21a、シリコン窒化膜22a、シリコン酸化膜6aがこの順で積層された積層膜からなるサイドウォール6bが形成されるとともに、レジスト膜31下にシリコン酸化膜21b及びシリコン窒化膜22b(トレンチ分離カバー)が残る(図4

(c))。このとき、レジスト膜31はマスクとして機能し、シリコン窒化膜22bを残す。また、このとき、第1の実施の形態にて説明したように従来技術と比較して基板表面のダメージが低減される。

【0065】次に、レジスト膜31を除去した後、後に行うソース／ドレイン領域形成用イオン注入時のチャネリング防止膜として、厚さ5～30nm程度のシリコン酸化膜7を形成する。なお、このシリコン酸化膜7は、他のチャネリング防止手段をとることができる場合には設けなくともよい。続いて、第1の実施の形態と同様にして、シリコン酸化膜7を介して不純物イオン注入を行い、ソース／ドレイン領域となる高濃度不純物領域8を形成し、その後不純物活性化のための熱処理を行う(図

17

5 (a))。

【0066】なお、上記のようにチャネリング防止膜としてシリコン酸化膜7を設ける代わりに、シリコン窒化膜22をドライエッチングによって除去する時にシリコン酸化膜21でエッチングを止め、このシリコン酸化膜21をチャネリング防止膜の代わりとすることもできる。この場合、ソース／ドレイン形成用のイオン注入は、ドライエッチング後に連続して行い、レジスト31はイオン注入後、不純物活性化のための熱処理を行う前に除去することとしてもよい。さらに、シリコン窒化膜22をドライエッチングによって除去する時に、シリコン酸化膜21でエッチングを止め、その後レジスト31を除去し、シリコン酸化膜21上に別途にシリコン酸化膜等の絶縁膜を積層し、この積層絶縁膜をチャネリング防止膜として用いてソース／ドレイン形成用のイオン注入を行うこともできる。このように、シリコン窒化膜22のドライエッチング除去において、シリコン酸化膜21を基板表面に残存させることにより、基板表面はドライエッチングのプラズマ雰囲気にとさらされることがなく、基板表面へのプラズマダメージを低減させることができる。

【0067】また、上記のように形成したソース／ドレイン領域およびゲート電極の上面には、第1の実施の形態と同様にして金属シリサイド膜を設けてもよい。

【0068】次に、シリコン酸化膜等の厚さ300～1000nm程度の層間絶縁膜10を形成した後、リソグラフィ技術と異方性エッチングによりソース／ドレイン領域8に達するコンタクトホール11を形成する(図5(b))。このとき、素子分離領域2にかかるコンタクトホール11が形成されても、素子分離領域2を覆うシリコン窒化膜(トレンチ分離カバー)22bがストップ膜として機能して素子分離領域2を保護するため、トレンチ内の埋込酸化膜の減り(埋込酸化膜上面の低下)を抑えることができる。また、コンタクトホール形成用のエッチングストップ膜を形成する必要がなく、成膜工程の削減によって、製造コスト低減に寄与する。

【0069】その後、CVD法又はスパッタリング法を用いてこのコンタクトホール11内にバリア金属膜を形成し、続いてCVD法によりW等の金属膜を埋め込んでコンタクトを形成する(不図示)。

【0070】第1の実施の形態では、コンタクトホール形成時のストップ膜9およびチャネリング防止膜7をエッチング除去する際、オーバーエッチによって若干、素子分離領域2の埋込酸化膜上面が低下する(図3

(b))。この埋込酸化膜上面の低下は、従来技術に比較して十分に小さいため、この埋込酸化膜上面が拡散領域8の深さより浅い限り問題はない。しかしながら、より一層の素子の微細化により拡散領域の深さがさらに浅くなった場合は、この若干の上面低下もリークにつながる虞がある。これに対して、第2の実施形態では、コン

18

タクトホールの形成時においても素子分離領域2の埋込酸化膜上面が全く低下しないため(図5(b))、より浅い拡散領域を有しながらリークが防止された素子を形成することができる。

【0071】第3の実施の形態

図6～8に、本発明の第3の実施の形態の製造工程断面図を示す。

【0072】まず、半導体基板1の所定の領域に、通常の方法でトレンチ内に埋め込まれたシリコン酸化膜(埋込酸化膜)で構成される素子分離領域(トレンチ分離領域)2を形成する。

【0073】このシリコン基板1上に、第1の実施の形態と同様にして、ゲート絶縁膜となる熱酸化膜(不図示)を形成した後、不純物導入多結晶シリコン層を形成し、この多結晶シリコン層をリソグラフィ技術とエッチング技術によりパターニングしてゲート電極4を形成する(図6(a))。

【0074】次に、第1の実施の形態と同様にして、ゲート電極4をマスクとして不純物イオン注入を行って、基板とは反対導電型のLDD領域用の低濃度不純物領域5を形成する(図6(b))。

【0075】次に、CVD法により、基板の上面全体にゲート電極4を覆う厚さ50～200nm程度のシリコン酸化膜6を形成し(図6(c))、このシリコン酸化膜6をエッチバックしてゲート電極4の側面に酸化シリコンからなるサイドウォール6aを形成する(図7

(a))。このエッチバックは、シリコン酸化膜6を異方性エッチングしてゲート電極4及びシリコン基板1の上面が露出するように行われる。

【0076】次に、後に行うソース／ドレイン領域形成用のイオン注入に際してチャネリングを防止するために、シリコン酸化膜等からなる厚さ5～30nm程度のチャネリング防止膜7を形成する。このチャネリング防止膜7は、他のチャネリング防止手段を採ることができる場合は設けなくともよい。続いて、第1の実施の形態と同様にして、このチャネリング防止膜7を介して不純物イオン注入を行ってソース／ドレイン領域となる高濃度不純物領域8を形成し、不純物の活性化のための熱処理を行う(図7(b))。なお、ソース／ドレイン領域およびゲート電極上には、第1の実施の形態と同様にしてシリサイド膜を設けてもよい。

【0077】次に、基板の上面全体にシリコン窒化膜からなる厚さ10～100nm程度のエッチングストップ膜9を形成する(図7(c))。

【0078】その後、リソグラフィ技術により、素子分離領域2(すなわち、トレンチ内の埋込酸化膜領域)上の領域を覆うようにパターニングされたレジスト膜41をシリコン窒化膜9上に形成する(図8(a))。レジスト膜41を形成するためのパターニングに際しては、素子分離領域のトレンチ形成の際に用いたマスクのパタ

19

ーンと同形状のパターンを持つマスクを用いて容易に形成することができる。

【0079】続いて、ドライエッチングによってシリコン窒化膜9及びシリコン酸化膜7をエッチング除去してゲート電極4及びシリコン基板の上面を露出させ、その後、レジスト膜41を除去する。結果、素子分離領域を覆うシリコン酸化膜7a及びシリコン窒化膜9a（トレンチ分離カバー）が残る（図8（b））。このエッチングの際、レジスト膜41はマスクとして機能し、シリコン窒化膜9aを残す。なお、図8（b）では、ドライエッチングによりシリコン窒化膜9と共にシリコン酸化膜7を除去しているが、シリコン窒化膜9の除去時にドライエッチングをシリコン酸化膜9で止め、基板表面にシリコン酸化膜7を残存させることとしてもよい。この場合、基板表面はドライエッチングのプラズマ雰囲気さらされることなく、基板表面へのプラズマダメージを低減させることができる。

【0080】次に、シリコン酸化膜等の厚さ300～1000nm程度の層間絶縁膜10を形成した後、リソグラフィ技術と異方性エッチングによりソース／ドレイン領域8に達するコンタクトホール11を形成する（図8（c））。このとき、素子分離領域2にかかるコンタクトホール11が形成されても、素子分離領域2を覆うシリコン窒化膜（トレンチ分離カバー）9aがストッパ膜として機能して素子分離領域2を保護するため、トレンチ内の埋込酸化膜の減り（埋込酸化膜上面の低下）を抑えることができる。また、第2の実施の形態と同様、コンタクトホール形成時にストッパ膜を除去する必要がないため、リークにつながる埋込酸化膜の上面低下を防止できる。

【0081】その後、CVD法又はスパッタリング法を用いてこのコンタクトホール11内にバリア金属膜を形成し、続いてCVD法によりW等の金属膜を埋め込んでコンタクトを形成する（不図示）。

【0082】第4の実施の形態

図9及び図10に、本発明の第4の実施の形態の製造工程断面図を示す。なお、図9（a）は図6（c）と同じ図である。

【0083】まず、第3の実施の形態の図6（a）～図6（c）に示す工程と同様にして図9（a）に示す構造を形成する。

【0084】その後、リソグラフィ技術により、素子分離領域2（すなわち、トレンチ内の埋込酸化膜領域）上の領域を覆うようにパターンニングされたレジスト膜51をシリコン酸化膜6上に形成する（図9（b））。レジスト膜51を形成するためのパターンニングに際しては、素子分離領域のトレンチ形成の際に用いたマスクのパターンと同形状のパターンを持つマスクを用いて容易に形成することができる。

【0085】次に、シリコン酸化膜6を異方性エッチン

20

グによりエッチバックして、ゲート電極4の側面に酸化シリコンからなるサイドウォール6aを形成する（図9（c））。このとき、レジスト膜51はマスクとして機能し、その下にシリコン酸化膜6c（トレンチ分離カバー）を残すとともに、素子分離領域2のトレンチ内の埋込酸化膜の減り（埋込酸化膜上面の低下）を防止する。

【0086】レジスト膜51を除去した後、後に行うソース／ドレイン領域形成用のイオン注入に際してチャネリングを防止するために、シリコン酸化膜等からなる厚さ5～30nm程度のチャネリング防止膜7を形成する（図10（a））。続いて、第1の実施の形態と同様にして、このチャネリング防止膜7を介して不純物イオン注入を行ってソース／ドレイン領域となる高濃度不純物領域8を形成し、不純物の活性化のための熱処理を行う。なお、ソース／ドレイン領域（高濃度不純物領域）8およびゲート電極4上には、第1の実施の形態と同様にしてシリサイド膜を設けてもよい。

【0087】なお、イオン注入のチャネリング防止膜としてシリコン酸化膜7を形成する代わりに、他のチャネリング防止手段をとることができる場合、シリコン酸化膜7は設けなくともよい。この場合、ソース／ドレイン領域形成用のイオン注入は、シリコン酸化膜6のエッチバック後に連続して行い、イオン注入後、不純物活性化のための熱処理前にレジスト膜51を除去することとしてもよい。

【0088】次に、基板の上面全体にシリコン窒化膜からなる厚さ10～100nm程度のエッチングストッパ膜9を形成する（図10（b））。

【0089】続いて、第1の実施の形態と同様にして、シリコン酸化膜等の層間絶縁膜10を形成した後、リソグラフィ技術と異方性エッチングによりソース／ドレイン領域8に達するコンタクトホール11を形成する（図10（c））。このとき、素子分離領域2にかかるコンタクトホール11が形成されても、トレンチ分離領域上にはサイドウォールの形成に用いた十分に厚いシリコン酸化膜からなるトレンチ分離カバー6cが形成されているため、トレンチ内の埋込酸化膜の減り（埋込酸化膜上面の低下）が防止される。

【0090】その後、CVD法又はスパッタリング法を用いてこのコンタクトホール11内にバリア金属膜を形成し、続いてCVD法によりW等の金属膜を埋め込んでコンタクトを形成する（不図示）。

【0091】

【発明の効果】以上の説明から明らかなように本発明によれば、素子分離領域にかかるコンタクトホールが形成されてもトレンチ内の埋込絶縁膜の減り（埋込絶縁膜上面の低下）が防止あるいは抑制されるため、コンタクトと基板との間のリークを防止することができる。また、積層膜からなるサイドウォールを形成する場合は、さらに基板表面のプラズマダメージが抑えられ、欠陥性リー

21

クの発生を防止することができる。これらの結果、素子特性が改善された半導体装置を歩留まり良く製造できる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の製造方法の第 1 の実施形態を示す工程断面図である。

【図 2】本発明の半導体装置の製造方法の第 1 の実施形態を示す工程断面図である。

【図 3】本発明の半導体装置の製造方法の第 1 の実施形態を示す工程断面図である。

【図 4】本発明の半導体装置の製造方法の第 2 の実施形態を示す工程断面図である。

【図 5】本発明の半導体装置の製造方法の第 2 の実施形態を示す工程断面図である。

【図 6】本発明の半導体装置の製造方法の第 3 の実施形態を示す工程断面図である。

【図 7】本発明の半導体装置の製造方法の第 3 の実施形態を示す工程断面図である。

【図 8】本発明の半導体装置の製造方法の第 3 の実施形態を示す工程断面図である。

【図 9】本発明の半導体装置の製造方法の第 4 の実施形態を示す工程断面図である。

【図 10】本発明の半導体装置の製造方法の第 4 の実施形態を示す工程断面図である。

【図 11】従来の半導体装置の製造方法を示す工程断面図である。

22

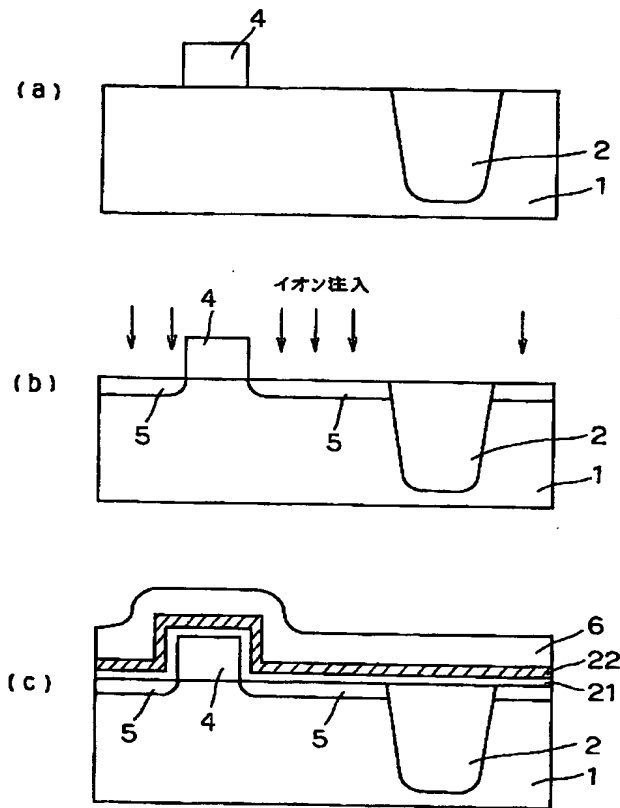
【図 12】従来の半導体装置の製造方法を示す工程断面図である。

【図 13】従来の半導体装置の製造方法によるコンタクトホール形成後の状態を示す断面図である。

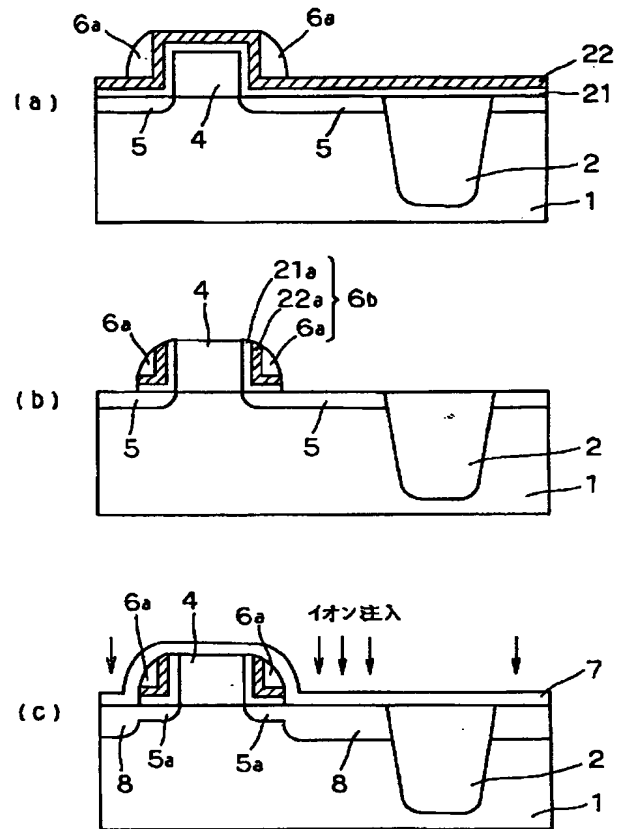
【符号の説明】

- 1、101 シリコン基板
- 2、102 素子分離領域
- 4、104 ゲート電極
- 5、105 低濃度不純物領域
- 10 5a、105a LDD領域
- 6、106 シリコン酸化膜
- 6a、6b、106a サイドウォール
- 6c トレンチ分離カバー（シリコン酸化膜）
- 7、107 チャネリング防止膜（シリコン酸化膜）
- 7a シリコン酸化膜
- 8、108 高濃度不純物領域（ソース／ドレイン領域）
- 9、109 エッチングストップ膜（シリコン窒化膜）
- 9a トレンチ分離カバー（シリコン窒化膜）
- 20 10、110 層間絶縁膜（シリコン酸化膜）
- 11、111 コンタクトホール
- 12、112 リーク部分
- 21、21a、21b シリコン酸化膜
- 22、22a シリコン窒化膜
- 22b トレンチ分離カバー（シリコン窒化膜）
- 31、41、51 レジスト膜

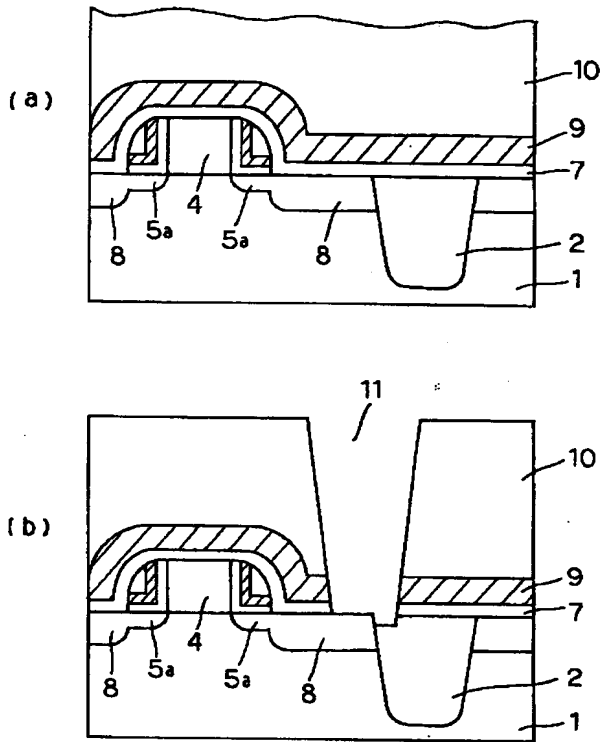
【図1】



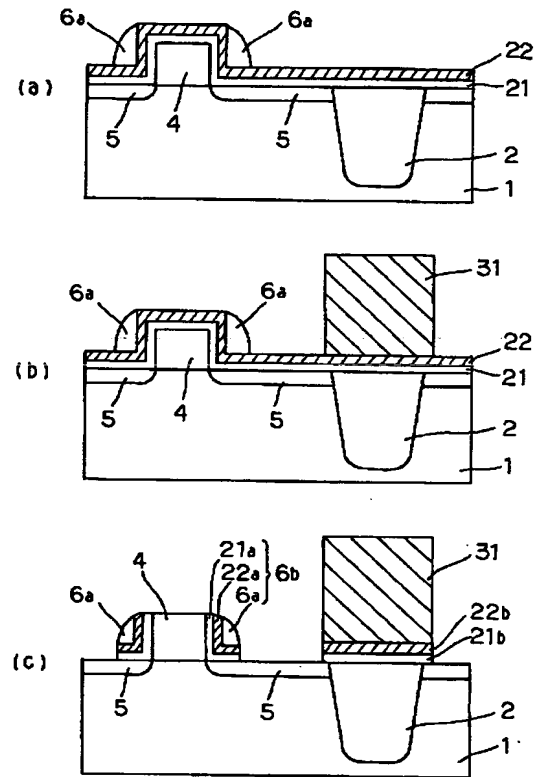
【図2】



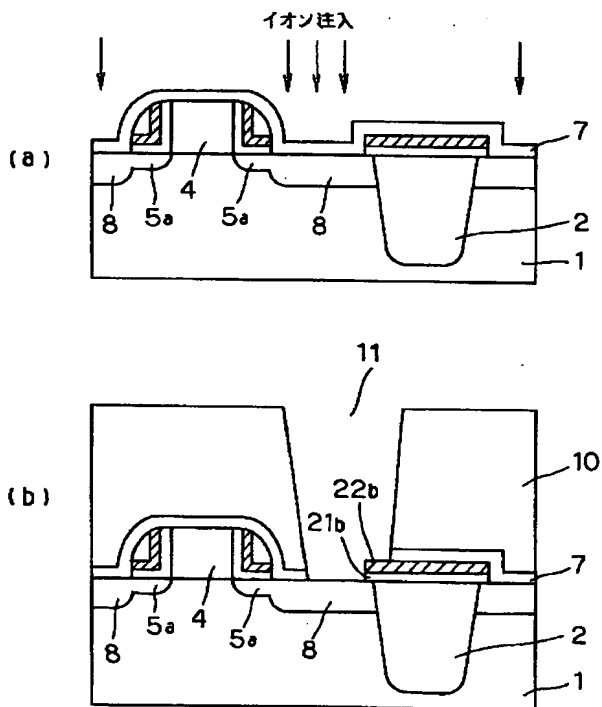
【図 3】



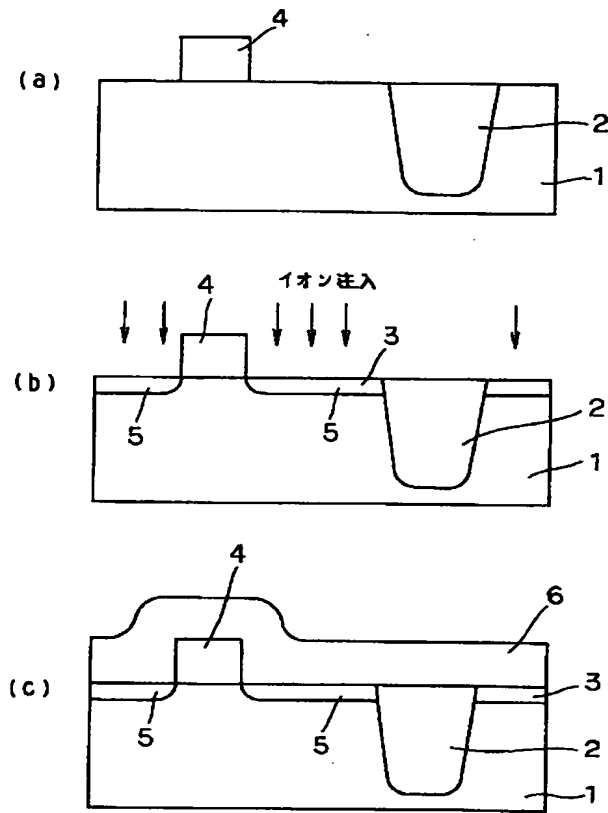
【図 4】



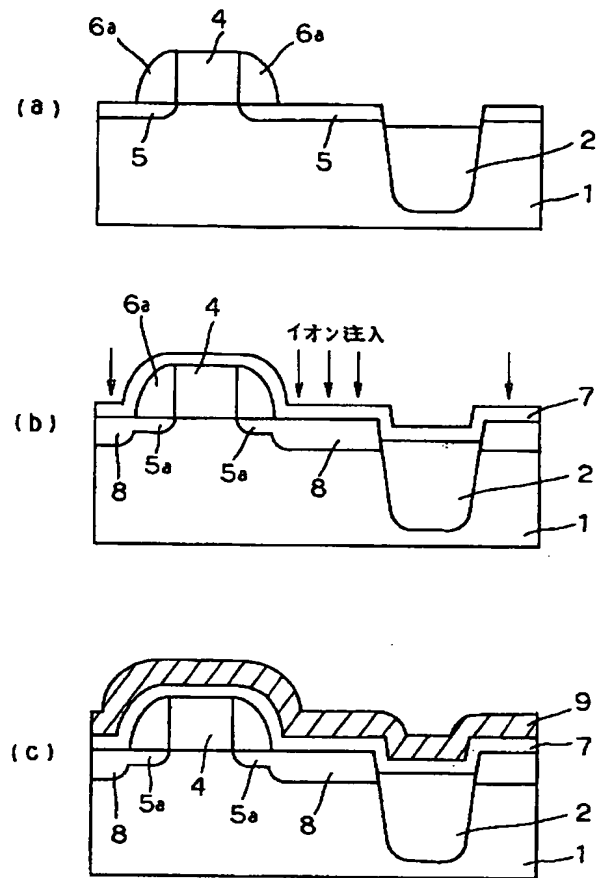
【図 5】



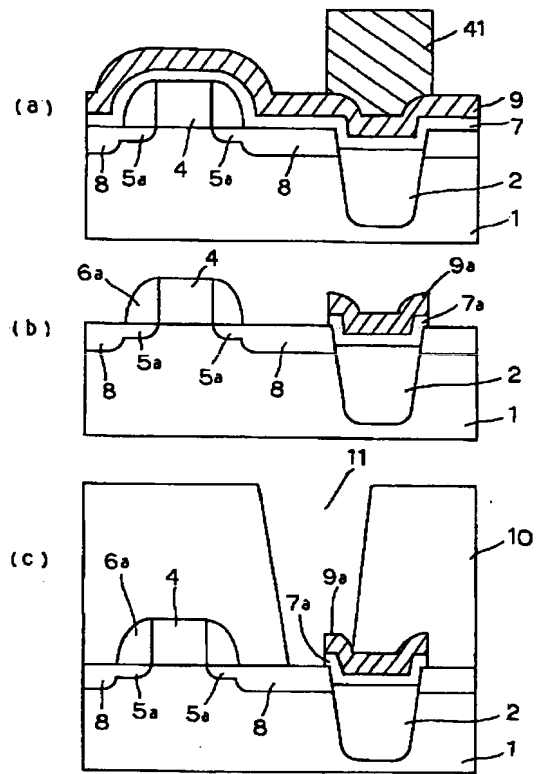
【図6】



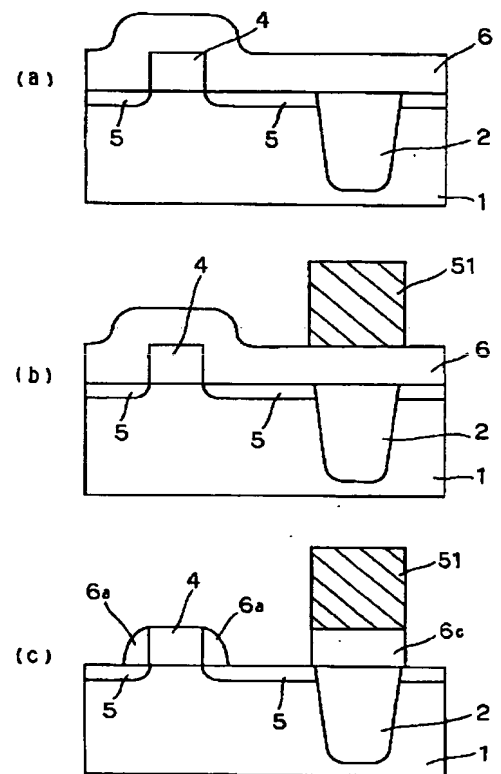
【図7】



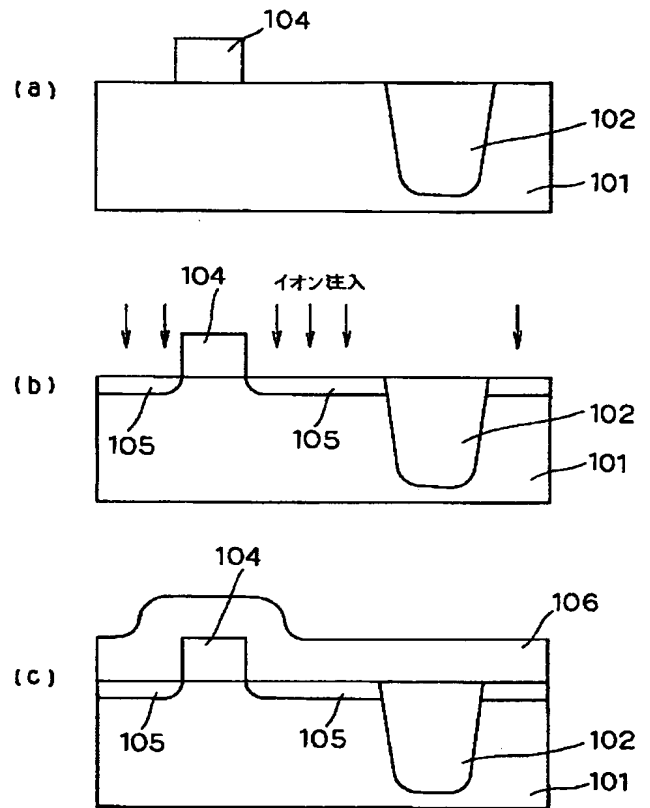
【図8】



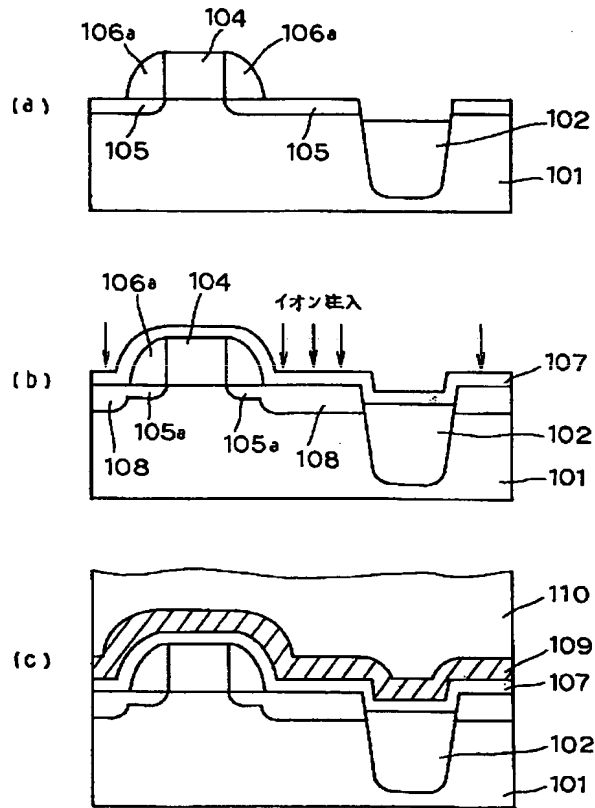
【図9】



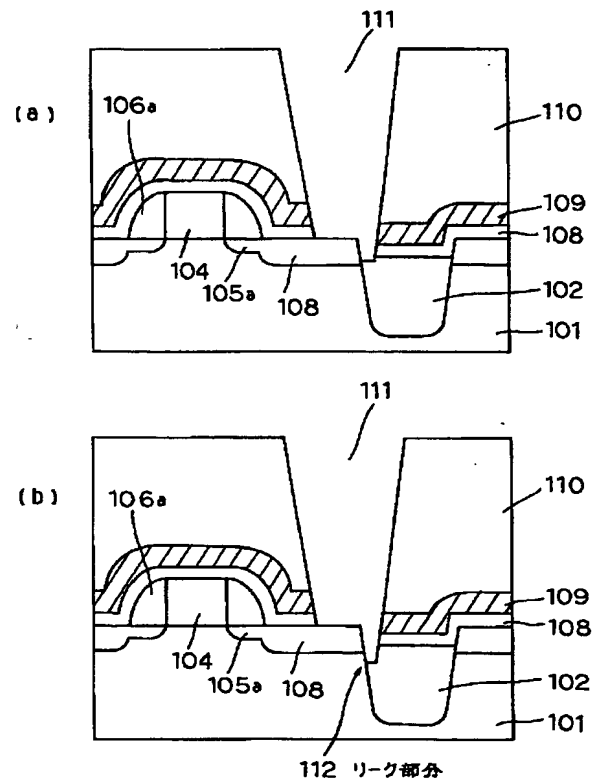
【图 1 1】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. 7

H 0 1 L 27/08
 27/088
 29/78

識別記号

3 3 1

F I

H 0 1 L 21/76
 29/78
 21/90

ターマコード* (参考)

L
 3 0 1 R
 C

F ターム(参考) 4M104 BB01 BB20 BB40 CC01 CC05
DD04 DD08 DD16 DD17 DD37
DD43 DD84 EE09 EE12 EE17
FF14 FF22 GG09 GG10 GG14
HH14
5F032 AA35 AA44 AA84 BA01 BB06
CA17 CA24 DA02 DA25
5F033 JJ19 KK01 KK25 NN07 PP15
QQ09 QQ10 QQ16 QQ21 QQ25
QQ31 QQ35 QQ37 QQ70 RR04
RR06 SS11 TT08 XX15 XX31
5F048 AA01 AA04 AA07 AB01 AC01
BB05 BB08 BC06 BF03 BF06
BF16 BG14 DA25 DA27 DA30
5F140 AA24 BE07 BF01 BF04 BF11
BF18 BG09 BG10 BG12 BG14
BG19 BG20 BG22 BG30 BG34
BG37 BG52 BG53 BG58 BH15
BJ08 BJ11 BJ17 BK02 BK11
BK13 BK21 BK27 BK29 BK34
CB04 CB10 CC01 CC03 CC08
CF00 CF04

THIS PAGE BLANK (USPTO)